

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:)

Kenji OI, et al.)

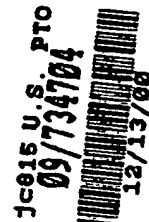
Serial No.: Unassigned)

Filed: December 12, 2000)

For: INTERFACE HAVING PLUG AND)
PLAY FUNCTION)

Group Art Unit: Unassigned

Examiner: Unassigned



#2
3-24-07

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

*Assistant Commissioner for Patents
Washington, D.C. 20231*

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, Applicants submit herewith a certified copy of each of the following foreign applications:

Japanese Appln. No. 2000-091942, filed March 29, 2000 and
Japanese Appln. No. 2000-083911, filed March 24, 2000.

It is respectfully requested that Applicants be given the benefit of the earlier foreign filing date, as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,
STAAS & HALSEY, LLP

Dated: December 12, 2000

By: _____

James D. Halsey, Jr.
Registration No. 22,729

700 Eleventh Street, N.W.
Suite 500
Washington, D.C. 20001
(202) 434-1500

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

09/734704

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年 3月24日

出願番号

Application Number:

特願2000-083911

出願人

Applicant(s):

富士通株式会社

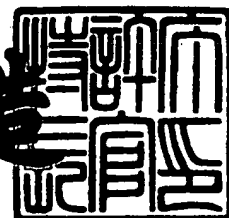
富士通ヴィエルエスアイ株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 9月 8日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3072493

【書類名】 特許願

【整理番号】 0040025

【提出日】 平成12年 3月24日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 12/56

【発明の名称】 インタフェース装置及びインタフェースシステム

【請求項の数】 5

【発明者】

【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴィエルエスアイ株式会社内

【氏名】 大井 健次

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【特許出願人】

【識別番号】 000237617

【氏名又は名称】 富士通ヴィエルエスアイ株式会社

【代理人】

【識別番号】 100068755

【住所又は居所】 岐阜市大宮町 2 丁目 1 2 番地の 1

【弁理士】

【氏名又は名称】 恩田 博宣

【電話番号】 058-265-1810

【選任した代理人】

【識別番号】 100105957

【住所又は居所】 東京都渋谷区代々木二丁目 1 0 番 4 号 新宿辻ビル 8 階

【弁理士】

【氏名又は名称】 恩田 誠

【電話番号】 03-5365-3057

【手数料の表示】

【予納台帳番号】 002956

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9909792

【包括委任状番号】 9909791

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 インタフェース装置及びインタフェースシステム

【特許請求の範囲】

【請求項 1】 プラグアンドプレイ機能を持ち、内部バスを介して接続されるホストコントローラに対応する仕様のインタフェース装置において、

前記プラグアンドプレイ機能により検出した外部バスに接続されるプラグの状態の変化に基づいて発生するバスリセットにより実行する所定のバスリセットシーケンスにおいて前記外部バスから得られるデータを時系列的に蓄積し、前記データを解析して前記バスリセットシーケンスが正常に終了したか否かを判断し、前記シーケンスが正常に終了したときに前記データを前記ホストコントローラに出力する解析部を備えたことを特徴とするインタフェース装置。

【請求項 2】 プラグアンドプレイ機能を持ち、内部バスを介して接続されるホストコントローラに対応する仕様のインタフェースシステムにおいて、

前記プラグアンドプレイ機能により検出した外部バスに接続されるプラグの状態の変化に基づいて発生するバスリセットにより実行する所定のバスリセットシーケンスにおいて前記外部バスから得られるデータを時系列的に蓄積し、前記データを解析して前記バスリセットシーケンスが正常に終了したか否かを判断し、前記シーケンスが正常に終了したときに前記データを前記ホストコントローラに出力する解析部を備えたことを特徴とするインタフェースシステム。

【請求項 3】 前記解析部は、前記バスリセットシーケンスにおけるデータに異常を検出した場合には前記バスリセットを発生することを特徴とする請求項 2 に記載のインタフェースシステム。

【請求項 4】 前記解析部は、前記バスリセットシーケンスにおけるデータに異常を検出した場合には、前記ホストコントローラに対して割り込み又は必要な情報のみを出力した後、前記バスリセットを発生することを特徴とする請求項 2 に記載のインタフェースシステム。

【請求項 5】 ポート回路、物理層回路、リンク層回路、バッファメモリを備え、

前記解析部は、

前記外部バスの変化を検出した情報である前記ポート回路のデコーダ出力を解析する第 1 の解析回路と、

前記物理層回路からのパケットが前記バスセットシーケンスにおいて受け取るパケットか否かを解析する第 2 の解析回路と
を備え、前記第 1 及び第 2 の解析回路の解析結果に基づいて前記バスリセットシーケンスが正常に終了したか否かを判断することを特徴とする請求項 2 に記載のインタフェースシステム。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明はプラグアンドプレイ機能を持つインタフェース装置及びインタフェースシステムに関するものである。

【 0 0 0 2 】

従来、パーソナルコンピュータとデジタルビデオカメラやカラーページプリンタ等の周辺機器の接続に、IEEE 1394 規格等によってデータ転送を行うインタフェース装置が利用されるようになってきている。このインタフェース装置は、接続された複数の機器が相互にデータ通信を行っているときにも、機器の接続（プラグイン）・切り離し（プラグアウト）を容易に行うためにプラグアンドプレイ機能を有している。即ち、インタフェース装置は、自分のポート（ソケット）に新たなノードの接続があると、ネットワーク全体に対してバスリセットを通知し、各機器に備えられたインタフェース装置はそれぞれ所定のバスリセットシーケンスを実行する。これにより、ネットワークに接続された各機器のインタフェース装置は、ネットワーク構造（トポロジ）の再認識を行う動作を行って接続された全ての機器を認識し、それによって新たなトポロジを持つネットワークが構築される。

【 0 0 0 3 】

【従来の技術】

従来、高速な転送を実現するシリアルバスである IEEE 1394 において、パーソナルコンピュータ（PC）には、OHC I (open host controller interf

ace) プロトコルに規定された仕様のインタフェース装置が備えられている。このインタフェース装置は、シリアルバス上から検出されるプラグの状態の変化（プラグイン、プラグアウト）や受信、送信されたトポロジを認識するためのパケット（IDパケット）は逐次内部バッファメモリに蓄積すると同時にPCのマイクロプロセッサ（MPU）へ転送する。

【0004】

そして、プラグアンドプレイ機能によってトポロジが変更された時に実行されるバスリセットにおいて、インタフェース装置からトポロジの初期化を表すデータパケット、トポロジ中の各ノードのIDパケットを順次MPUに転送する。MPUは、転送された情報をデバイスドライバ、アプリケーションプログラムに設定する。これにより、トポロジを構成する機器は、パーソナルコンピュータにて使用可能に認識される。

【0005】

【発明が解決しようとする課題】

プラグアンドプレイに関するバスからの情報は、パケット単位に必要な全ての情報が集約されているパケットの送信・受信動作と異なり、トポロジの初期化の発生から、各IDパケット、初期化の終了の報告までの個々の情報の連続性と一貫性が求められる。

【0006】

しかしながら、インタフェース装置は、シリアルバスあるいは相手ノード等の問題でバスから得られたデータまたはパケットに誤りがあっても、そのまま転送する。また、インタフェース装置が自らの制御によりトポロジの初期化（バスリセットシーケンス）を発生した場合でも、これらの情報は全てリアルタイムでバッファメモリに蓄積され、随時MPUへ転送される。従って、再度発生したバスリセットよりも先にMPUへ送られた情報は不要な情報となる。

【0007】

そのため、ドライバソフト及び各種アプリケーションソフトには、これらの個々の情報から得られたデータの評価と解析、その結果に対する正しい対処が求められることとなる。しかし、エラーの値及び発生位置を推定することは不可能で

あるため、それに対応するためにあらゆる事態を想定するには、MPUで得られるのみでは不足となる。その結果として、MPUに転送されるデータに異常なデータの混入やデータの欠落、あるいはデータの誤りがある場合には、ドライバソフト及び各種アプリケーションソフトにおいてエラー処理されず、タイムアウトや誤動作の要因となり、ソフトウェア又はシステム全体のハングアップとなってしまう場合がある。

【0008】

本発明は上記問題点を解決するためになされたものであって、その目的はバスリセットにおいてエラーを含む情報をホスト側に転送することを防ぐことのできるインタフェース装置及びインタフェースシステムを提供することにある。

【0009】

【課題を解決するための手段】

上記目的を達成するため、請求項1に記載の発明は、プラグアンドプレイ機能を持ち、内部バスを介して接続されるホストコントローラに対応する仕様のインタフェース装置において、前記プラグアンドプレイ機能により検出した外部バスに接続されるプラグの状態の変化に基づいて発生するバスリセットにより実行する所定のバスリセットシーケンスにおいて前記外部バスから得られるデータを時系列的に蓄積し、前記データを解析して前記バスリセットシーケンスが正常に終了したか否かを判断し、前記シーケンスが正常に終了したときに前記データを前記ホストコントローラに出力する解析部を備えた。これにより、ホストコントローラにはバスリセットシーケンスが正常に終了したときのみ情報が伝えられるため、ホストコントローラが実行するソフトウェア又はシステム全体のハングアップを防止することができる。

【0010】

請求項2に記載の発明は、プラグアンドプレイ機能を持ち、内部バスを介して接続されるホストコントローラに対応する仕様のインタフェースシステムにおいて、前記プラグアンドプレイ機能により検出した外部バスに接続されるプラグの状態の変化に基づいて発生するバスリセットにより実行する所定のバスリセットシーケンスにおいて前記外部バスから得られるデータを時系列的に蓄積し、前記

データを解析して前記バスリセットシーケンスが正常に終了したか否かを判断し、前記シーケンスが正常に終了したときに前記データを前記ホストコントローラに出力する解析部を備えた。これにより、ホストコントローラにはバスリセットシーケンスが正常に終了したときのみ情報が伝えられるため、ホストコントローラが実行するソフトウェア又はシステム全体のハングアップを防止することができる。

【 0 0 1 1 】

請求項 3 に記載の発明のように、前記解析部は、前記バスリセットシーケンスにおけるデータに異常を検出した場合には前記バスリセットを発生する。これにより、再度バスリセットシーケンスが実行され、プラグアンドプレイ機能によるトポロジが構築される。

【 0 0 1 2 】

請求項 4 に記載の発明のように、前記解析部は、前記バスリセットシーケンスにおけるデータに異常を検出した場合には、前記ホストコントローラに対して割り込み又は必要な情報のみを出力した後、前記バスリセットを発生する。

【 0 0 1 3 】

請求項 5 に記載の発明のように、通常の転送動作を行うためにポート回路、物理層回路、リンク層回路、バッファメモリを備え、前記解析部は、前記外部バスの変化を検出した情報である前記ポート回路のデコーダ出力を解析する第 1 の解析回路と、前記物理層回路からのパケットが前記バスリセットシーケンスにおいて受け取るパケットか否かを解析する第 2 の解析回路とを備え、前記第 1 及び第 2 の解析回路の解析結果に基づいて前記バスリセットシーケンスが正常に終了したか否かを判断する。

【 0 0 1 4 】

【発明の実施の形態】

以下、本発明を具体化した一実施の形態を図 1 ～図 1 0 に従って説明する。

図 1 は、シリアルインタフェースの一つである IEEE1394 に準拠したデータ転送を行うシステム構成図である。

【 0 0 1 5 】

このシステムは、パーソナルコンピュータ 1、周辺装置としてのデジタル V T R 2、プリンタ 3、デジタルカメラ 4 を含む。各装置 1 ～ 4 は IEEE1394 に準拠したデータ転送を可能にするためのインタフェース装置を備え、それらが IEEE1394 バスケーブル 5 a, 5 b, 5 c により接続されたネットワークを構成している。各機器のインタフェース装置は、ネットワーク上のノードとして機能する。

【 0 0 1 6 】

図 2 は、コンピュータ 1 の構成の一部を示すブロック回路図である。

コンピュータ 1 は、ホスト部を構成する上位装置としてのマイクロプロセッシングユニット（以下、M P U という）1 1、主記憶装置としてのメモリ（M E M ）1 2、補助記憶装置としてのハードディスク装置（H D D）1 3 と、インタフェース部を構成する IEEE1394 用インタフェース装置 1 4 とを含み、それらは内部バス 1 5 を介して相互に接続されている。

【 0 0 1 7 】

H D D 1 3 には、M P U 1 1 が実行するプログラムデータが格納され、このプログラムデータは、一般的なオペレーティングシステム、各種アプリケーションプログラム、デバイスドライバを含む。これらコンピュータプログラムは、H D D 1 3 からメモリ 1 2 にロードされ M P U 1 1 により実行される。

【 0 0 1 8 】

インタフェース装置 1 4 は、プラグアンドプレイ機能を有し、シリアルバス上から検出されるプラグの状態の変化（プラグイン、プラグアウト）を検出し、バスリセットを発生する。尚、バスリセットは、他の機器から発生されるものでもよい。

【 0 0 1 9 】

インタフェース装置 1 4 は、発生したバスリセットに応答して所定のバスリセットシーケンスを実行し、そのシーケンスにおいて検出したバス上の信号、トポロジ中の各ノードから受信した I D パケットを含む情報を時系列的に内部バッファに保存管理する。このとき、インタフェース装置 1 4 は、保存する情報を逐次解析し、それらに誤り・欠落が無いかな否かを判定し、情報に誤り・欠落等がある場合には情報の削除とともに再度バスリセットを発生させ、バスリセットシーケ

ンスを最初から実行する。一方、情報に誤り・欠落等が無くバスリセットシーケンスが終了する、即ちトポロジの認識が正常に終了すると、インタフェース装置 1 4 は、内部バッファに記憶した情報のうちから M P U 1 1 に必要な情報をその M P U 1 1 に出力する。

【 0 0 2 0 】

M P U 1 1 は、インタフェース装置 1 4 からの情報に基づいて、アプリケーションソフト、デバイスドライバに対して、バスリセットにより接続が確認された機器の情報を登録する。これにより、ネットワークに接続された機器がアプリケーションソフト、デバイスドライバに認識される。

【 0 0 2 1 】

M P U 1 1 には、正常にバスリセットシーケンスが終了したときのみ情報がインタフェース装置 1 4 から伝えられるため、アプリケーションソフト、デバイスドライバにてエラー処理の必要がなく、その結果、タイムアウトや誤動作などの要因によるソフトウェアまたはシステム全体のハングアップが防止される。

【 0 0 2 2 】

図 3 は、インタフェース装置 1 4 の概略ブロック図である。

インタフェース装置 1 4 は、ポート回路 (P O R T) 2 1、物理層回路 (P H Y) 2 2、リンク層回路 (L I N K) 2 3、バッファメモリ (M E M) 2 4、インタフェース回路 (I F) 2 5、及び解析部 2 6 を含む。

【 0 0 2 3 】

ポート回路 2 1 はレジスタ 2 1 a と第 1 及び第 2 デコーダ 2 1 b、2 1 c を含む。物理層回路 2 2 はレジスタ 2 2 a 及びデコーダ 2 2 b を含む、リンク層回路 2 3 はレジスタ 2 3 a を含む。

【 0 0 2 4 】

各レジスタ 2 1 a ~ 2 3 a には、それぞれの回路 2 1 ~ 2 3 の設定情報が記録される。例えば、ポート回路 2 1 のレジスタ 2 1 a には、そのポート回路 2 1 が電氣的に他のインタフェース装置のポート回路に接続されているか否か、電源が他の装置から供給されているか否か、等の情報が変数として記憶される。

【 0 0 2 5 】

第 1 デコーダ 2 1 b はアービトレーション用デコーダであり、コモンモードにおける外部バスの変化を検出し、その検出した情報をデコードして物理層回路 2 2 及び解析部 2 6 へ出力する。第 2 デコーダ 2 1 c はパケット解析デコーダであり、外部バスを介して他の機器から入力されるパケットをデコードして物理層回路 2 2 及び解析部 2 6 へ出力する。

【 0 0 2 6 】

物理層回路 2 2 は、I E E E 1 3 9 4 の物理層であり、データの受信時にはポート回路 2 1 からの電気信号を論理信号に変換するデコーダを備え、その変換後の論理信号をリンク層回路 2 3 へ出力し、データの送信時にはリンク層回路 2 3 からの論理信号を電気信号に変換してポート回路 2 1 に出力する。

【 0 0 2 7 】

物理層回路 2 2 は、第 1 デコーダ 2 1 b からの情報に基づいて自身の外部バスに関する情報の初期化を行うとともに、トポロジ全体の初期化と再構築のためのバスリセットシーケンスを開始し、その開始情報をリンク層回路 2 3 及び解析部 2 6 へ出力する。バスリセットシーケンスは、トポロジ中の全ノードのバスに関する情報の初期化と、ルートノードの決定、各ノード固有の I D 番号の決定とトポロジ中の全ノードへのパケットにより I D 番号の通知が行われることによって完了する。従って、物理層回路 2 2 は、各ノードから受け取る I D パケットをリンク層回路 2 3 及び解析部 2 6 へ出力する。そして、物理層回路 2 2 は、バスリセットシーケンスが終了すると、その終了情報をリンク層回路 2 3 及び解析部 2 6 へ出力する。

【 0 0 2 8 】

リンク層回路 2 3 は、I E E E 1 3 9 4 のリンク層であり、受信したパケットの先頭に付されたヘッダの内容に基づいてそのパケットが自身宛のパケットか否かを判断し、自身宛のパケットをバッファメモリ 2 4 に出力する。また、データの送信時には、M P U 1 1 からバッファメモリ 2 4 を介して供給されるパケットのデータを物理層回路 2 2 へ出力する。

【 0 0 2 9 】

バッファメモリ 2 4 は、通常のパケット転送時に送信パケット及び受信パケッ

ト（またはそれらに含められるデータ）を一時的に蓄積する。また、バッファメモリ 24 は、所定のバスリセットシーケンスにおいてバス上の検知した情報及び受信したパケットを時系列的に記憶する。詳しくは、バッファメモリ 24 には、ポート回路 21 及び物理層回路 22 からの必要な情報が解析部 26 を介して入力されるとともにリンク層回路 23 からの情報が入力され、それらがバスリセットシーケンスに従って時系列的に記憶される。

【0030】

インタフェース回路 25 は図 2 の内部バス 15 と接続され、MPU 11 とインタフェース装置 14 との間のデータ転送を制御する。

図 4 は、解析部 26 の概略ブロック図である。

【0031】

解析部 26 は、ポート変数用レジスタ 31、ノード変数用レジスタ 32、デコーダ出力解析回路 33、パケット解析回路 34、解析部シーケンサ 35、判定フラグ用レジスタ 36、マルチプレクサ回路（MUX）37、メモリインタフェース（I/F）回路 38 を含む。

【0032】

ポート変数用レジスタ 31 にはポート回路 21 のレジスタ 21a から読み出された内部変数が記憶され、ノード変数用レジスタ 32 には物理層回路 22 のレジスタ 22a から読み出された内部変数が記憶される。

【0033】

デコーダ出力解析回路 33 は、ポート回路 21 の第 1 デコーダ 21b から出力される情報を解析し、その情報をエラーの有無とともにマルチプレクサ回路 37 に出力する。パケット解析回路 34 は、物理層回路 22 からの ID パケットの解析と判定を行い、その ID パケットとともにエラーの有無をマルチプレクサ回路 37 に出力する。

【0034】

マルチプレクサ回路 37 は、レジスタ 31、32、解析回路 33、34 からの信号を時系列に処理してメモリインタフェース回路 38 に出力するとともに解析部 26 へ出力する。メモリインタフェース回路 38 は、図 3 のバッファメモリ 2

4 の書き込みを制御する。

【 0 0 3 5 】

解析部シーケンサ 3 5 は、物理層回路 2 2 からのプラグインアウト及びバスリセットの開始・終了信号によって動作し、マルチプレクサ回路 3 7 から時系列的に入力される信号を順次解析する。そして、解析部シーケンサ 3 5 は、解析結果に基づいて、誤りを含む情報を検出した場合に付属する判定フラグ用レジスタ 3 6 をセットする。

【 0 0 3 6 】

図 5 は、デコーダ出力解析回路 3 3 のブロック図である。

デコーダ出力解析回路 3 3 は、ラッチ 4 1、エンコーダ 4 2、比較回路 4 3、フィルタレジスタ 4 4 を含む。

【 0 0 3 7 】

ラッチ 4 1 は第 1 デコーダ 2 1 b の出力をラッチし、そのラッチ信号をエンコーダ 4 2 及び比較回路 4 3 に出力する。エンコーダ 4 2 は、ラッチ 4 1 からの信号を復号してマルチプレクサ回路 3 7 に出力する。

【 0 0 3 8 】

比較回路 4 3 は、ラッチ 4 1 からの信号とフィルタレジスタ 4 4 からの信号を比較し、その比較結果に基づいて、両信号が一致していない場合にエラー情報を出力する。

【 0 0 3 9 】

フィルタレジスタ 4 4 には、バスリセットシーケンスが理想的（正常）に実行された場合にポート回路 2 1 のレジスタ 2 1 a にそのシーケンスに従って順次記憶される値が解析部シーケンサ 3 5 により時系列に従って格納され、或いは予め時系列的に格納される。

【 0 0 4 0 】

従って、ラッチ 4 1 の出力信号である第 1 デコーダ 2 1 b の出力理想的なバスリセットシーケンスにおける値と一致しない、即ち異常がある場合に、比較回路 4 3 からエラー情報が出力される。このエラー情報はマルチプレクサ回路 3 7 から解析部シーケンサ 3 5 に出力され、それに基づいて判定フラグ用レジスタ 3 6

がセットされる。

【 0 0 4 1 】

図 6 は、パケット解析回路 3 4 のブロック図である。

パケット解析回路 3 4 は、ラッチ 4 5、4 7、ヘッダコード照会回路 4 6、パリティチェック回路 4 8 を含む。

【 0 0 4 2 】

ラッチ 4 5 は、物理層回路 2 2 に含まれるデコーダ 2 2 b の出力をラッチし、そのラッチ信号をヘッダコード照会回路 4 6 に出力する。ヘッダコード照会回路 4 6 は、パケットの先頭に位置するヘッダのコードが規格に設定されたものか否かを判断し、設定外のコードが含まれる場合にエラー信号を出力する。

【 0 0 4 3 】

ラッチ 4 7 は、ヘッダコード照会回路 4 6 の出力をラッチし、そのラッチ信号をパリティチェック回路 4 8 に出力する。パリティチェック回路 4 8 は、パケットデータに含まれるパリティデータに基づいて伝送誤りをチェックし、そのチェック結果を出力する。

【 0 0 4 4 】

次に、上記のように構成された解析部 2 6 の作用を図 7 ～図 1 0 に従って説明する。

解析部 2 6 は、図 8 に示すフローチャートに従って解析処理を実行する。

【 0 0 4 5 】

先ず、解析部 2 6 は、割り込みを受け取ると、その割り込みを解析し、ポート回路 2 1 のレジスタ値の変化によるものと物理層回路 2 2 からの割り込みに応答して以下の解析処理を行う（ステップ 7 1）。

【 0 0 4 6 】

解析部 2 6 は、ポート回路 2 1 の第 1 デコーダ 2 1 b からのデコーダ出力を解析して想定外のデコーダ出力か否かを検出し（ステップ 7 2）、物理層回路 2 2 のデコーダ 2 2 b からの ID パケットを解析してフォーマットエラーの有無を検出する（ステップ 7 3）。次に、解析部 2 6 は、ポート回路 2 1 及び物理層回路 2 2 のレジスタ 2 1 a、2 2 a の内容と予め想定した所定の値とを比較してバス

リセットシーケンスが正常に行われているか否かを検出する（ステップ 7 4）。

【 0 0 4 7 】

そして、解析部 2 6 は、上記各解析結果におけるエラーの有無を判定し（ステップ 7 5）、エラーが無い場合即ち問題なくバスリセットシーケンスが終了していると判定した場合にはホスト（MPU 1 1）にとって必要となる情報を転送するべくバッファメモリ 2 4 に出力を指示する（ステップ 7 6）。一方、エラーが有る場合には、解析部 2 6 は、バッファメモリ 2 4 に記憶した情報のうち、バスリセット開始からの情報を必要に応じて消去した後（ステップ 7 7）、バスリセットを発行して再度バスリセットシーケンスを実行するとともに、上位装置としての MPU 1 1 への割り込みを発行する（ステップ 7 8）。このステップ 7 8 において、MPU 1 1 への割り込みに替えて、必要な情報（例えばプラグの状態を示す情報やバスリセットが発生したことを示す情報等）の転送を行うようにしてもよい。

【 0 0 4 8 】

図 7 は、上記の処理により図 3 のバッファメモリ 2 4 に記憶される情報の一例の説明図である。

バスリセットシーケンスに従って時系列的にバッファメモリ 2 4 に蓄積された情報 5 0 は、各領域 5 1 ～ 6 3 に格納された情報から構成される。

【 0 0 4 9 】

領域 5 1 の「ポートイベント(port-event)」はポート回路 2 1 にて接続の変化が検出された場合に発行される割り込みを表す。

領域 5 2 の「バスリセットの開始」と領域 6 3 の「バスリセットの終了」は、内蔵サイクルタイマで監視した各々の時間を表す。

【 0 0 5 0 】

領域 5 3, 5 5, 5 8, 6 0 の「デコーダ出力」は、ポート回路 2 1 で検出したバス上の信号を物理層回路 2 2 のデコーダ 2 2 b で解析した結果を表す。

領域 5 4, 5 6, 5 9, 6 1 の「ID パケット」は、各ノードが自身の状態、ポートの状態をパケットとしてトポロジ全体に送信したものであり、自装置（インタフェース装置 1 4）の ID パケットも含む。尚、各ノードの符号と図 1 の機

器 1 ～ 4 の対応は、ノード A が自装置（コンピュータ 1）、ノード B がデジタル VTR 2、ノード C がデジタルカメラ 4、ノード D がプリンタ 3 である。

【 0 0 5 1 】

領域 5 7 の「物理 I D (PHY-ID)」は自装置 1 4 の物理 I D 番号を表し、領域 6 2 の「ステータス (Status)」はバスリセット完了時のステータスを表す。

上記の各情報の内、M P U 1 1 にとって必要な情報は、本実施形態では領域 5 2, 6 3 の「バスリセットの開始」及び「バスリセットの終了」と、領域 5 4, 5 6, 5 9, 6 1 の各ノードの「I D パケット」であり、図 2 の解析部 2 6 は、正常にバスリセットシーケンスが終了した場合にこれらの情報を M P U 1 1 へ出力する。

【 0 0 5 2 】

一つの例として、図 9 (a) に示すように、領域 5 9 に格納したノード C の I D パケットにエラーが図 4 のデコーダ出力解析回路 3 3 (図 8 のステップ 7 2) にて検出されると図 4 の判定フラグ用レジスタ 3 6 にフラグがセットされる。すると、解析部 2 6 はバスリセットの終了を待ち、図 9 (b) に示すようにバスリセット開始以降のバッファメモリ 2 4 をクリアし、バスリセットを発行する。これにより、再度開始されたバスリセットシーケンスに従って、図 9 (c) に示すように、領域 5 2 に再度「バスリセットの開始」の情報が格納され、それ以降の情報が同様にバッファメモリ 2 4 に蓄積される。

【 0 0 5 3 】

別の例として、図 1 0 (a) に示すように、バスリセットシーケンスの完了以前に他のパケット (P H Y パケット) が受信されて領域 6 3 に格納されると、図 4 のパケット解析回路 3 4 (図 8 のステップ 7 3) において異常が検出され判定フラグ用レジスタ 3 6 にフラグがセットされる。すると、解析部 2 6 は、バスリセットシーケンスが正常に終了していないと判断し、図 1 0 (b) に示すようにバスリセット開始以降のバッファメモリ 2 4 をクリアし、バスリセットを発行する。これにより、再度開始されたバスリセットシーケンスに従って、図 1 0 (c) に示すように、領域 5 2 に再度「バスリセットの開始」の情報が格納され、それ以降の情報が同様にバッファメモリ 2 4 に蓄積される。

【 0 0 5 4 】

以上記述したように、本実施の形態によれば、以下の効果を奏する。

(1) 解析部 2 6 は、プラグアンドプレイ機能により検出した外部バスに接続されるプラグの状態の変化に基づいて発生するバスリセットにより実行する所定のバスリセットシーケンスにおいて外部バスから得られるデータをバッファメモリ 2 4 に時系列的に蓄積し、データを解析してバスリセットシーケンスが正常に終了したか否かを判断し、シーケンスが正常に終了したときにデータを内部バス 1 5 を介して M P U 1 1 へ出力するようにした。その結果、M P U 1 1 にはバスリセットシーケンスが正常に終了したときのみ情報が伝えられるため、M P U 1 1 が実行するソフトウェア又はシステム全体のハングアップを防止することができる。

【 0 0 5 5 】

(2) 解析部 2 6 は、蓄積したデータのうち、M P U 1 1 に必要なデータのみバッファメモリ 2 4 から出力するようにした。その結果、内部バス 1 5 に出力されるデータ量が少ないため、その内部バス 1 5 のトラフィックを軽減することができる。

【 0 0 5 6 】

(3) 解析部 2 6 は、バスリセットシーケンスにおけるデータに異常を検出した場合にはバスリセットを発生するようにした。その結果、再度バスリセットシーケンスが実行され、プラグアンドプレイ機能によるトポロジを確実に構築することができる。

【 0 0 5 7 】

(4) 解析部 2 6 は、外部バスから得られるデータを、通常の転送動作にてデータを記憶するバッファメモリ 2 4 に蓄積するようにした。その結果、データを記憶するために別にメモリを設ける必要がないので、インタフェース装置 1 4 の面積の増大を抑えることができる。

【 0 0 5 8 】

尚、前記実施形態は、以下の態様に変更してもよい。

○上記実施形態では、インタフェース装置 1 4 の解析部 2 6 は、バスリセット

シーケンスにおける情報を逐次解析して時系列的にバッファメモリ 24 に保存管理するようにしたが、一旦解析するすべての情報をバッファメモリ 24 に保存し、バスリセットシーケンスの終了後にバッファメモリ 24 から読み出して解析を行うようにしてもよい。このようにすれば、バスリセットシーケンスの実行速度よりも遅い速度にて解析部 26 を動作させることができ、それによる消費電力の低減を図ることが可能になる。

【 0 0 5 9 】

○上記実施形態では、バッファメモリ 24 に蓄積したデータの内、MPU 11 に必要なデータのみをその MPU 11 へ出力するようにしたが、必要なデータ以外のデータも内部バス 15 へ出力するようにしてもよい。所定量のデータを転送する場合、転送回数が少ない方が内部バス 15 のトラフィックは軽減される、即ち転送するデータ量が多くても転送回数が少ない方がトラフィックが軽減される。従って、上記実施形態のように、データの解析後にバッファメモリ 24 に蓄積したデータを MPU 11 に出力することで、従来に比べて内部バス 15 のトラフィック軽減を図ることができる。

【 0 0 6 0 】

○上記実施形態では、IEEE 1394 規格に準拠した OHCI 仕様のインタフェース装置 14 に具体化した但、プラグアンドプレイ機能を持つものであればその他の規格に準拠したインタフェース装置、例えば USB 規格による装置に具体化して実施してもよい。

【 0 0 6 1 】

以上の実施形態をまとめ、本発明の構成に関する以下の事項を開示する。

(1) 前記解析部は、前記蓄積したデータのうち、前記ホストコントローラに必要なデータのみ該ホストコントローラに出力するようにしたことを特徴とする請求項 2 に記載のインタフェースシステム。これにより、内部バスに出力されるデータ量が少ないため、その内部バスのトラフィックを軽減することができる。

【 0 0 6 2 】

(2) 前記外部バスから得られるデータをバッファメモリに蓄積するように

したことを特徴とする請求項 2 に記載のインタフェースシステム。これにより、データを記憶するために別にメモリを設ける必要がないので、インタフェース装置の面積の増大を抑えることができる。

【 0 0 6 3 】

(3) 前記解析部は、前記情報を蓄積するときに逐次情報の解析を行うようにしたことを特徴とする請求項 2 に記載のインタフェースシステム。これにより、バスリセット終了時には判定が終了するため、トポロジの再構築までの時間が短くなる。

【 0 0 6 4 】

(4) 前記解析部は、前記外部バスから得られるデータを一旦蓄積し、バスリセットの終了を検知した後に前記データの解析を行うようにしたことを特徴とする請求項 2 に記載のインタフェースシステム。これにより、実際の動作速度に係わらずに情報の解析を行うことができる。

【 0 0 6 5 】

(5) 前記解析部は、前記バスリセットシーケンスにおいて他のノードから受け取るパケットを解析して前記外部バスが正常か否かを判断することを特徴とする請求項 2 に記載のインタフェースシステム。これにより、転送動作又はバス上の障害による誤りのあるデータを除去することができる。

【 0 0 6 6 】

(6) 前記解析部は、前記外部バスの変化を検出した情報が前記バスリセットシーケンスに対応しているか否かを判断することを特徴とする請求項 2 に記載のインタフェース。これにより、バスリセットシーケンスに沿った情報以外の情報を除去することができる。

【 0 0 6 7 】

(7) 前記解析部は、前記ポート回路と物理層回路のレジスタ内容を前記バスリセットシーケンスに応じた値と比較する比較回路を備え、前記比較回路の比較結果とに基づいて前記バスリセットシーケンスが正常に終了したか否かを判定することを特徴とする請求項 5 に記載のインタフェースシステム。

【 0 0 6 8 】

【発明の効果】

以上詳述したように、本発明によれば、バスリセットにおいてエラーを含む情報をホスト側に転送することを防ぐことのできるインタフェース装置及びインタフェースシステムを提供することができる。

【図面の簡単な説明】

- 【図 1】 本実施の形態のシステム構成図である。
- 【図 2】 コンピュータの構成の一部を示すブロック図である。
- 【図 3】 インタフェース装置のブロック図である。
- 【図 4】 解析部のブロック図である。
- 【図 5】 デコーダ出力解析回路のブロック図である。
- 【図 6】 パケット解析回路のブロック図である。
- 【図 7】 メモリに記憶される情報の説明図である。
- 【図 8】 解析処理のフローチャートである。
- 【図 9】 解析処理におけるメモリ内容を示す説明図である。
- 【図 1 0】 解析処理におけるメモリ内容を示す説明図である。

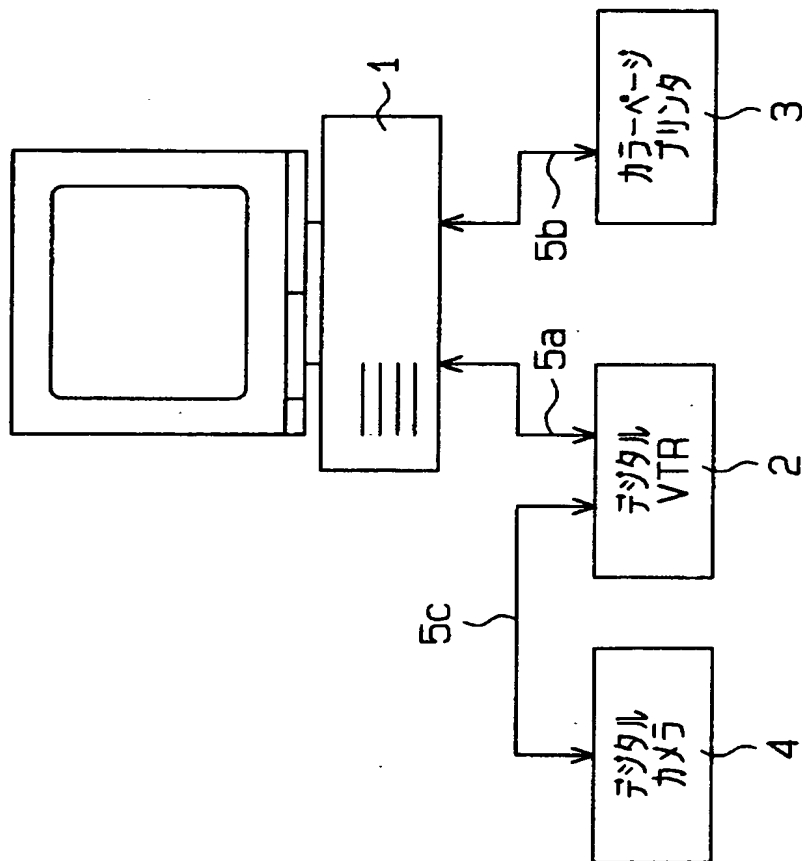
【符号の説明】

- 1 4 インタフェース装置
- 2 6 解析部
- 2 4 バッファメモリ

【書類名】 図面

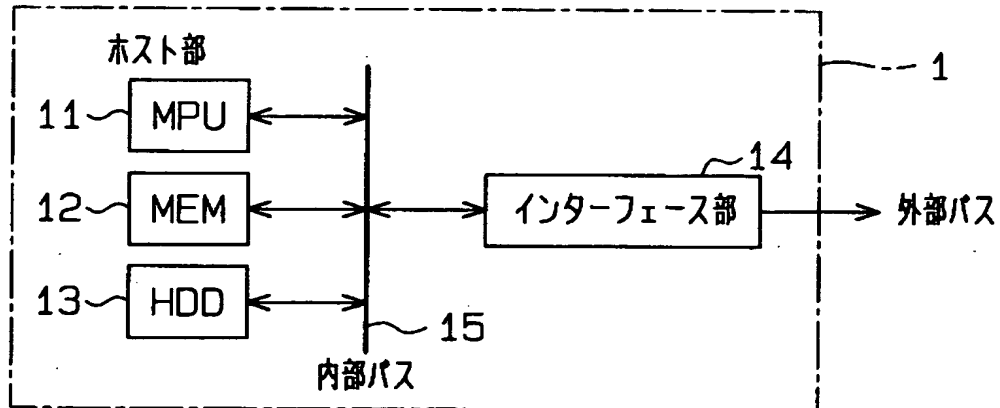
【図 1】

本実施の形態のシステム構成図



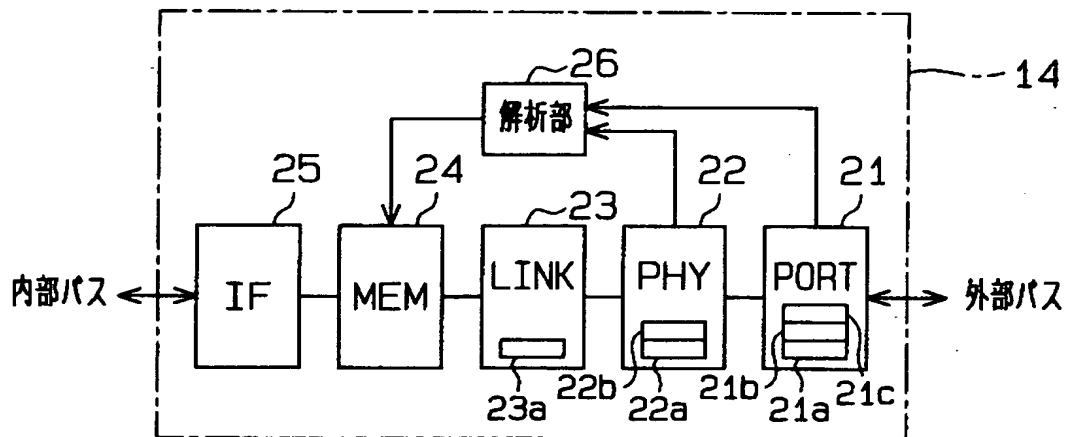
【図 2】

コンピュータの構成の一部を示すブロック図



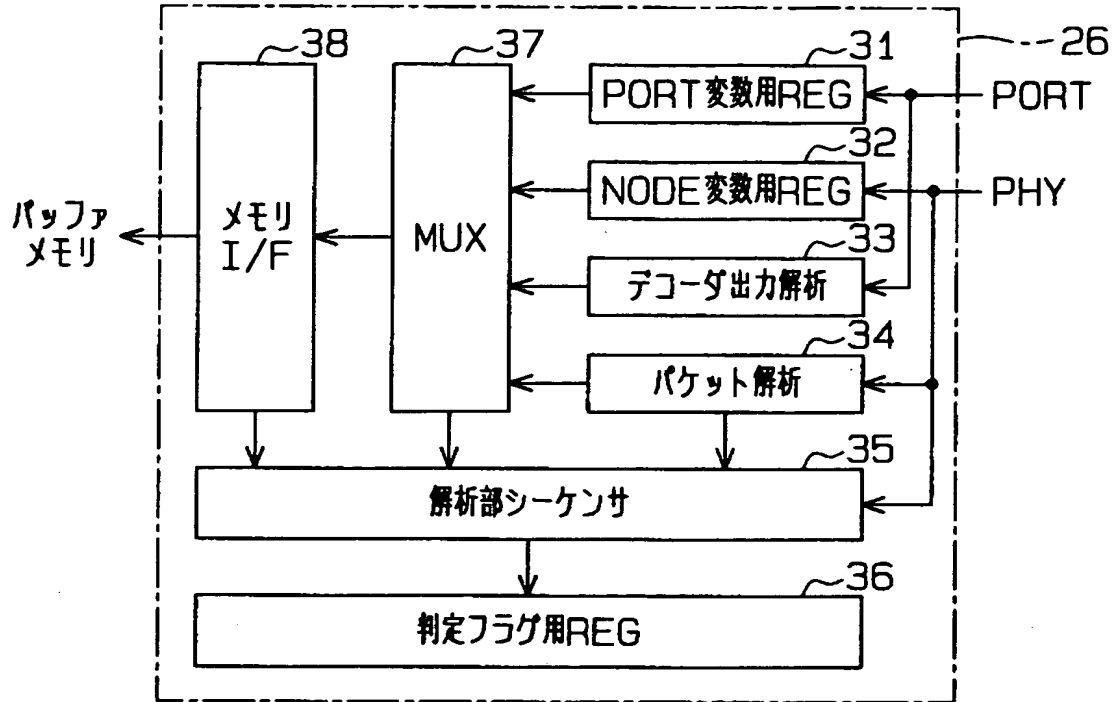
【図 3】

インターフェイス装置のブロック図



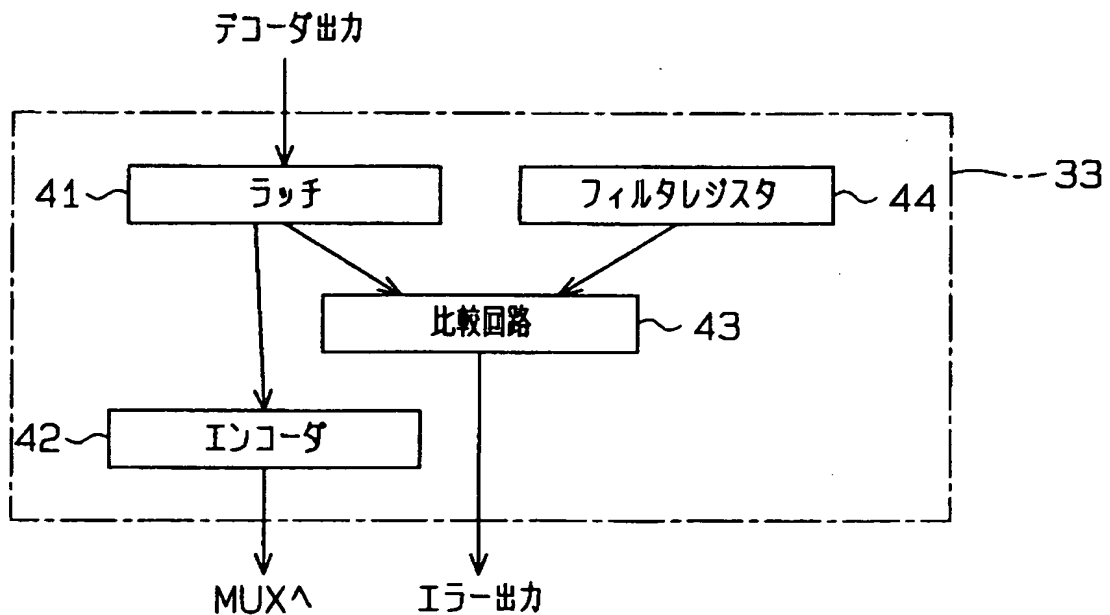
【図 4】

解析部のブロック図

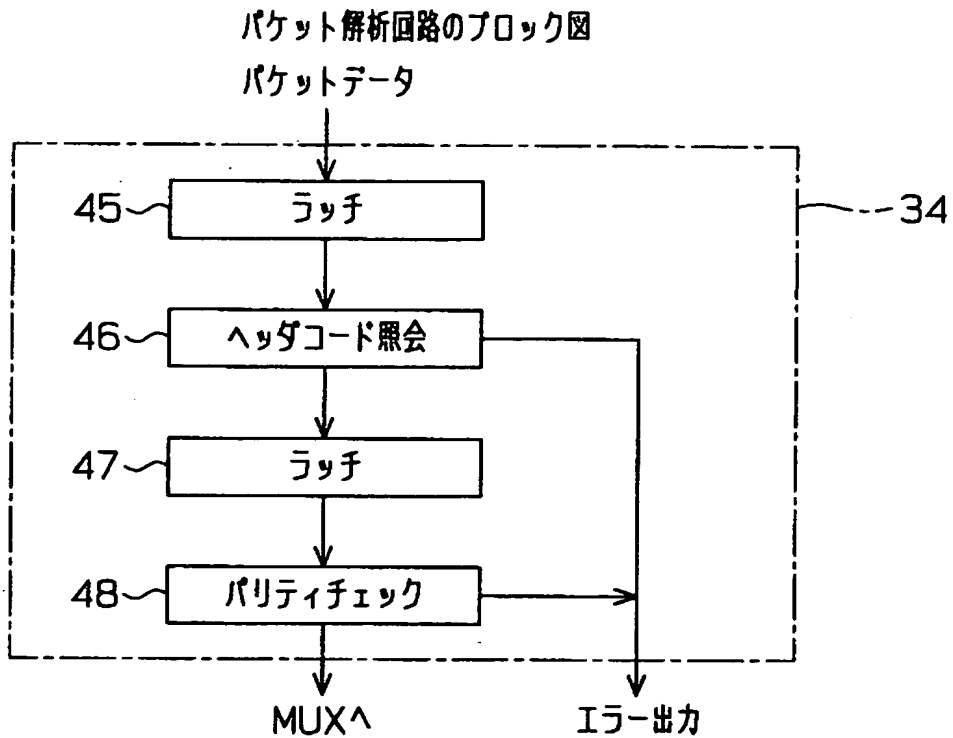


【図 5】

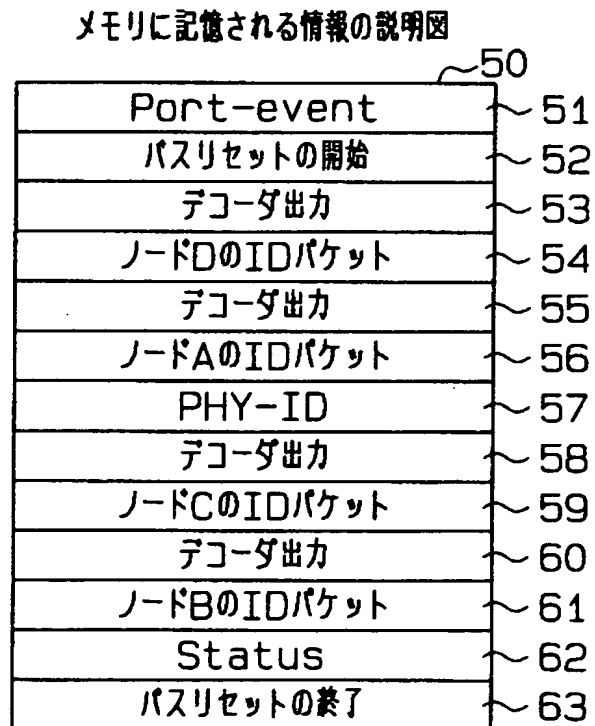
デコーダ出力解析回路のブロック図



【図 6】

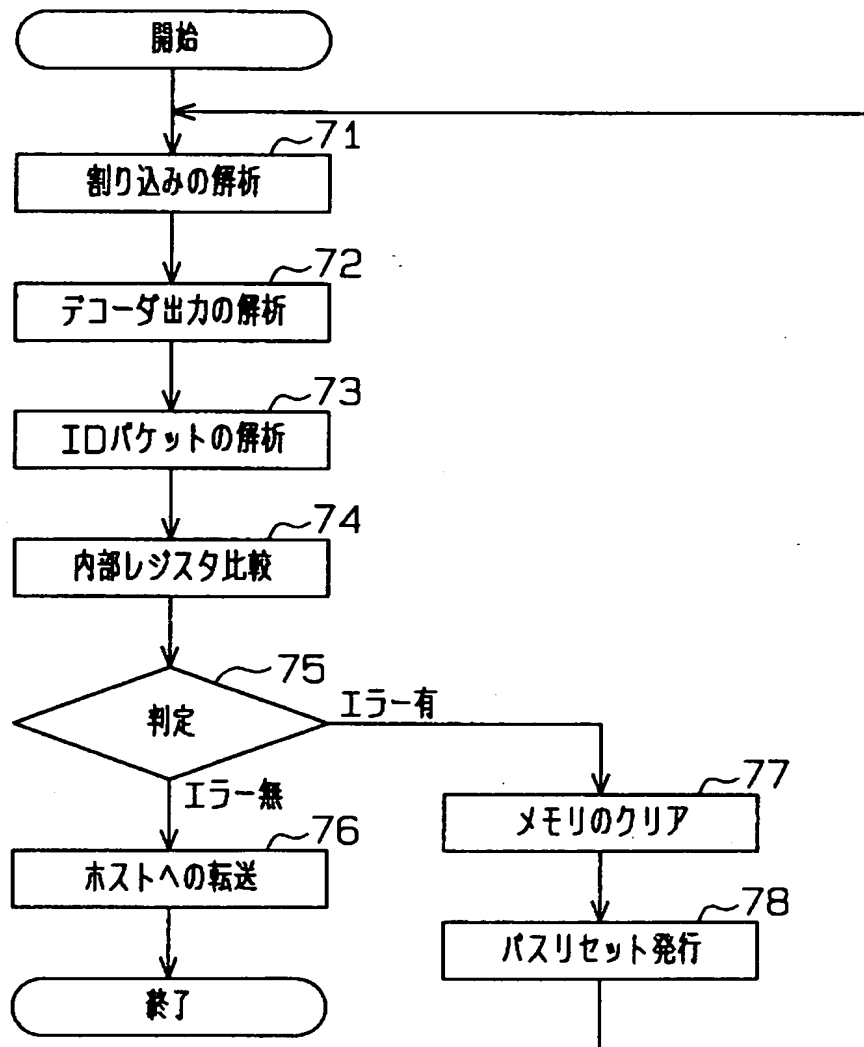


【図 7】



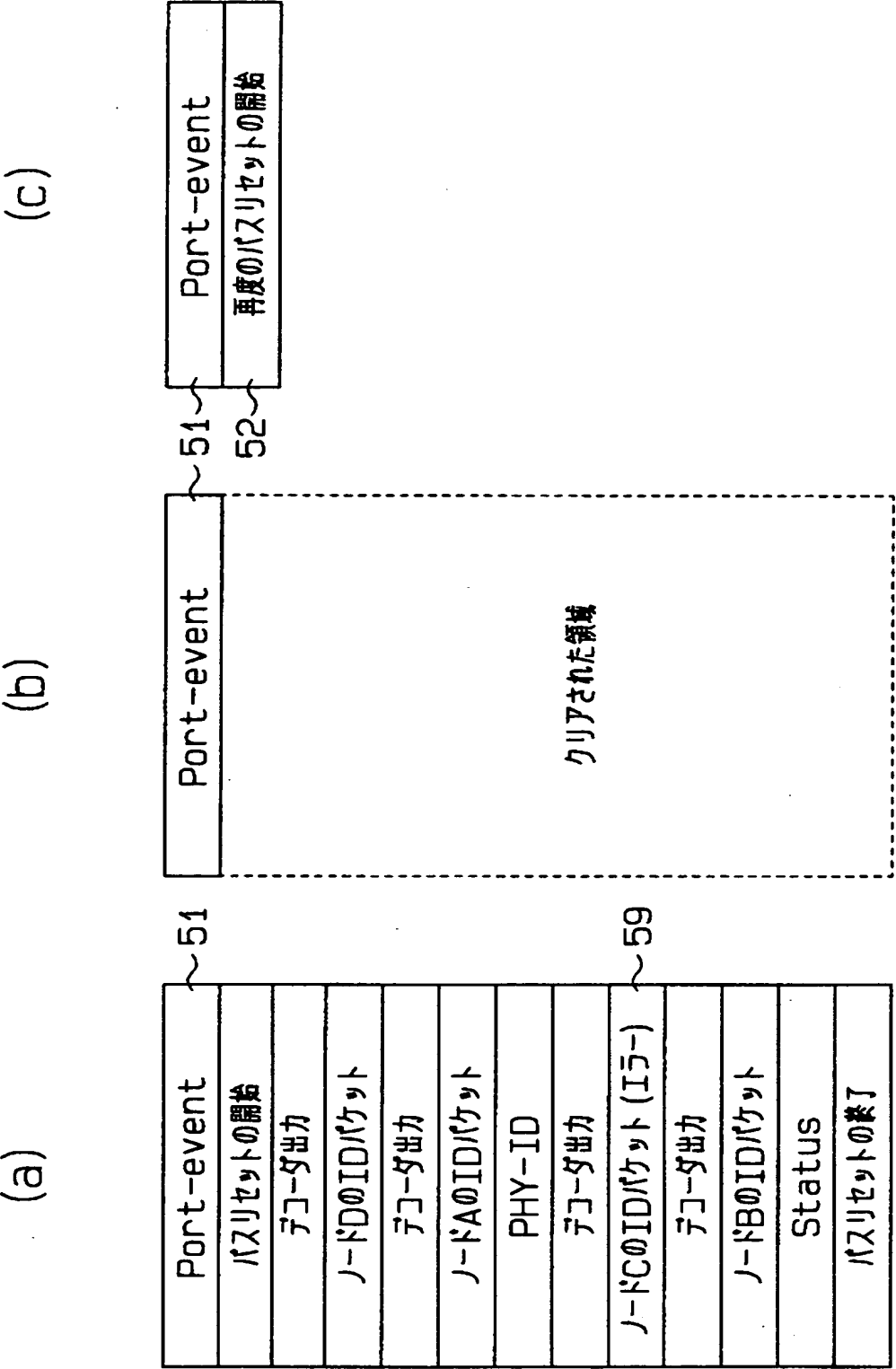
【図 8】

解析処理のフローチャート



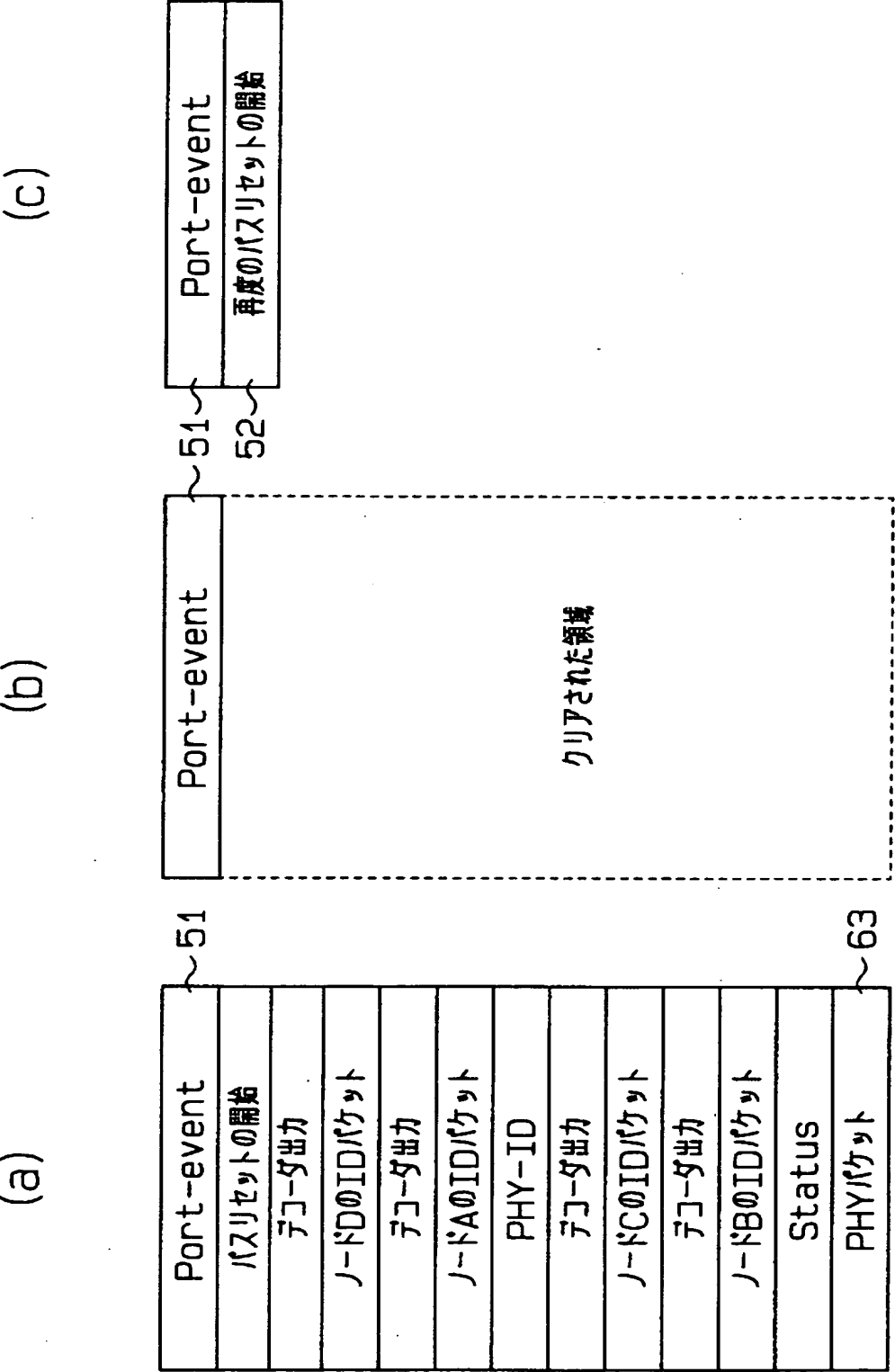
【図 9】

解析処理におけるメモリ内容を示す説明図



【図 1 0】

解析処理におけるメモリ内容を示す説明図



【書類名】 要約書

【要約】

【課題】 バスリセットにおいてエラーを含む情報をホスト側に転送することを防ぐことのできるインタフェース装置を提供すること。

【解決手段】 解析部 2 6 は、プラグアンドプレイ機能により検出した外部バスに接続されるプラグの状態の変化に基づいて発生するバスリセットにより実行する所定のバスリセットシーケンスにおいて外部バスから得られるデータをバッファメモリ 2 4 に時系列的に蓄積し、データを解析してバスリセットシーケンスが正常に終了したか否かを判断し、シーケンスが正常に終了したときにデータを内部バスを介してM P Uへ出力する。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社

出 願 人 履 歴 情 報

識別番号 [0 0 0 2 3 7 6 1 7]

1. 変更年月日	1 9 9 0 年 9 月 6 日
[変更理由]	新規登録
住 所	愛知県春日井市高蔵寺町 2 丁目 1 8 4 4 番 2
氏 名	富士通ヴィエルエスアイ株式会社